

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

End of Result Set



Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Aug 28, 1991

PUB-NO: JP403196677A

DOCUMENT-IDENTIFIER: JP 03196677 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 28, 1991

INVENTOR-INFORMATION:

NAME

COUNTRY

SOEDA, SHOICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP01339638

APPL-DATE: December 26, 1989

US-CL-CURRENT: 257/360

INT-CL (IPC): H01L 29/784; H01L 27/088

ABSTRACT:

PURPOSE: To maintain electrostatic withstand voltage without deteriorating response characteristics of input first-stage circuit, by forming gate oxide film of MOS FET which forms input protective circuit and input first-stage circuit in such a way that the gate oxide-film is thicker than gate oxide film of other internal MOS FET.

CONSTITUTION: Gate oxide film of MOS FETs 5' and 6' forming input protective circuit 9, and MOS FETs 12' and 13' forming input first-stage circuit are thicker than those of MOS FETs 14 and 15 and the like forming other internal circuits 11. By thickening gate oxide film of an MOS FET forming input protective circuit 9 and input first-stage circuit 10, electrostatic withstand voltage of gate oxide film is increased. Therefore, electrostatic withstand voltage property can be maintained without increasing resistances of resistors 1 and 2, and stray capacitances 3 and 4 of the input protection circuit 9, and high speed characteristics of the internal circuit 11 is maintained since gate oxide films of other internal circuits 11 is thin. By this, electrostatic withstand voltage property can be maintained without reducing response characteristics of the input first-stage circuit.

COPYRIGHT: (C)1991, JPO&Japio

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

⑫ 公開特許公報(A) 平3-196677

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月28日

H 01 L 29/784
27/0888422-5F H 01 L 29/78 3 0 1 K
7735-5F 27/08 1 0 2 F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-339638

⑰ 出 願 平1(1989)12月26日

⑱ 発 明 者 副 田 正 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板上のパッドに接続された入出力回路を構成するMOSFETのゲート酸化膜が、前記基板上の他のMOSFETのゲート酸化膜よりも厚く形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に係り、特にMOSFETの静電破壊対策を設けた半導体装置に関する。

〔従来の技術〕

最近、半導体集積回路は、ますます大容量化し、それに並行して高速化が進んでいる。そして、高速化を図るために、充放電能力を高める必要性から、ゲート酸化膜厚はますます薄くなってきてい

る。しかしながら、一般にゲート酸化膜厚が薄くなることによって、静電破壊が生じやすくなる。そこで、従来この種の金属酸化物半導体(MOS)電界効果トランジスタ(FET)を用いた静電破壊対策として、第3図に示す入力保護回路9が用いられていた。第3図において、ポリシリ抵抗1と、拡散層抵抗2と、拡散層等の寄生容量3、4と、N型MOSFET 5、6とが示されている。

さらに、ダイオード7を含めて、入力保護回路9となり、パッド8が接続される。次の入力初段回路10にはCMOS・FET 12、13があり、内部回路11にはCMOS・FET 14、15がある。さて、MOSFET 5のドレインは電源電位Vに、ゲートは接地電位Gに、それぞれ接続され、MOSFET 6のソースとゲートとは接地電位Gに接続されている。抵抗1、2及び寄生容量3、4は、いずれも静電気等のサージ電圧が入力されたときに、ピーク電圧を抑えるためのものであり、N型MOSFET 5、6はサージ電圧の電荷をMOSFETのブレイクダウンにより、電源電位Vまたは接

地電位Gに逃がすためのものである。前述した様に、入力保護回路はサージ電圧のピークを抑えて電荷の逃げ道を設けることが基本であるから、ゲート酸化膜が薄くなればなるほど、抵抗1,2を大きくしたり、寄生容量3,4を大きくしなければならぬ。

〔発明が解決しようとする課題〕

前述したように、従来例では、ゲート酸化膜が薄くなると入力保護回路9及び入力初段回路10のMOSFETのゲート破壊が起こる危険性が高まる。そこで、入力保護回路9内の寄生容量3,4及び抵抗1,2を増大させると、静電耐圧は向上できるが、入力初段回路10に入力されるべき波形が、寄生容量3,4及び抵抗1,2によってなまってしまう、入力初段回路9の応答が悪くなるという欠点がある。

本発明の目的は、入力初段回路の応答特性を低下させずに、静電耐圧を向上させた半導体装置を提供することにある。

〔課題を解決するための手段〕

る。

従って、入力保護回路9の抵抗1,2及び寄生容量3,4を増大させることなく、静電気耐性が維持でき、また、他の内部回路11のゲート酸化膜は薄くしているのに、内部回路11の高速性を失うことはない。もちろん、第1図で入力保護回路9もしくは入力初段回路10を構成するMOSFETの一部に限定して、ゲート酸化膜を厚くしてもかまわない。

ところで、ゲート酸化膜を厚くしたり薄くしたりする製造法は、最初に入力保護回路9もしくは入力初段回路10を構成するMOSFET以外の内部回路に用いるゲート酸化膜の厚さつまり薄い酸化膜を熱成長で規定の厚さにし、その後フォトリソを塗布し、入力保護回路9もしくは入力初段回路10を構成するMOSFETの部分のみフォトリソが除去されるようにし、その時点で熱成長させると前記フォトリソが除去された所だけ、ゲート酸化膜が成長し、厚くなることを利用する。

本発明の半導体装置の構成は、半導体基板上のパッドに接続された入出力回路を構成するMOSFETのゲート酸化膜が、前記基板上の他のMOSFETのゲート酸化膜よりも厚く形成されていることを特徴とする。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の半導体装置を示す回路図である。

第1図において、本実施例が、第3図の従来例と異なる点は、入力保護回路9を構成するMOSFET 5', 6', 及び入力初段回路10を構成するMOSFET 12', 13' が、他の内部回路11を構成するMOSFET 14, 15等のゲート酸化膜より厚くなっていることである。第1図では、ゲート酸化膜の厚さの違いを〔MOSFET〕の表記の違いで表わしている。第1図では、入力保護回路9、及び入力初段回路10を構成するMOSFETのゲート酸化膜を、他より厚くすることにより、静電気によるゲート酸化膜破壊の耐性を向上させてい

第2図は本発明の他の実施例の半導体装置を示す回路図である。

第2図において、本実施例では、内部回路20からの信号は、出力トランジスタ22, 23を通過して、出力パッド21から出力される。出力端子に接続される出力トランジスタ19を構成するMOSFET 22, 23のゲート酸化膜は、他の内部MOSFET 24, 25, 26, 27のゲート酸化膜より厚くしてある。従って、出力端子に接続される出力トランジスタ19に対する静電気によるゲート酸化膜破壊の耐性が向上できる。

以上、本発明の実施例の半導体装置は、半流体基板上に形成されたMOSFETを含む半導体装置において、入力端子に接続される入力保護回路または入力初段回路を構成するMOSFET、もしくは出力端子に接続される出力トランジスタを構成するMOSFETのゲート酸化膜を、他の内部MOSFETより厚くしているという相違点を有する。

〔発明の効果〕

以上説明したように、本発明は、例えば入力端

子及び出力端子に接続される入力保護回路、もしくは入力初段回路または出力トランジスタを構成するMOSFETのゲート酸化膜を他の内部MOSFETのゲート酸化膜より厚くすることにより、抵抗や容量等を増やすことなく、静電破壊に対する耐圧を維持できる効果がある。

もちろん、本発明は、他の内部回路は、ゲート酸化膜を薄くしたままなので、高速性は維持できる。

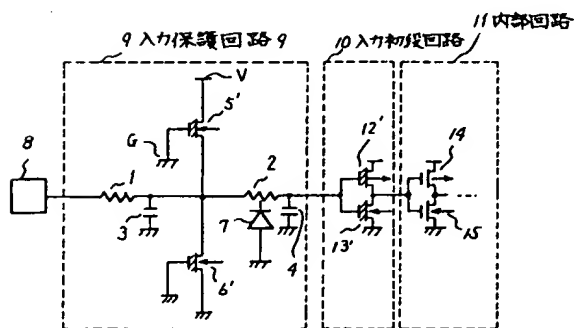
イオード、8 ……入力パッド、21 ……出力パッド、1 ……ポリシリコン抵抗、2 ……拡散層抵抗。

代理人 弁理士 内 原 晋

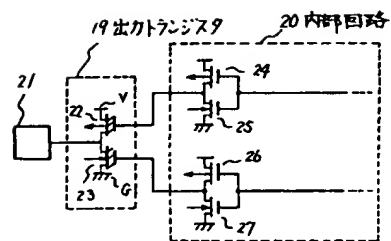
4. 図面の簡単な説明

第1図は本発明の一実施例の入力保護回路及び入力初段回路付近の回路図、第2図は本発明の他の実施例の出力トランジスタを含む出力回路の回路図、第3図は従来の入力保護回路と入力初段回路付近の回路図である。

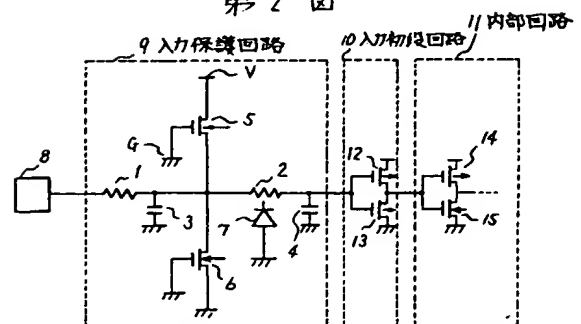
5, 5', 6, 6', 13, 13', 15, 25,
27 ……N型MOSFET、12, 12', 14,
24, 26 ……P型MOSFET、V ……電源電位、
G ……接地電位、3, 4 ……寄生容量、7 ……ダ



第1図



第2図



第3図

English Translation of Japanese Kôkai 3-196677

Inventor: Shoichi SOEDA

Applicant: NEC Corp.

Published: August 28, 1991

SEMICONDUCTOR DEVICE

c(19) Japan Patent and Trademark Office (JP)

(12) LAID OPEN [KÔKAI] PATENT GAZETTE (A)

(11) Patent Laid Open Application Publication No.: H03(1991)-196677

(43) Date Laid Open: August 28, 1991

(51) Int. Cl⁵ ID Internal
Symbol Class. No.
H 01 L 29/784
27/088

8422-5F H 01 L 29/78 301 K
7735-5F 27/08 102 F

Proof Requirement: Not Required Number of Claims: 1
(Total 3 pages in original)

(54) Title of Invention: Semiconductor device

(21) Application No.: H01-339638

(22) Date Submitted: December 26, 1989

(72) Inventor: Shoichi SOEDA
c/o Nippon Denki K.K. (NEC Corp.)
33-1 Shiba 5-chome
Minato-ku, Tokyo, Japan

(71) Applicant: Nippon Denki K.K. (NEC Corp.)
7-1 Shiba 5-chome
Minato-ku, Tokyo, Japan

(74) Agent: Susumu UCHIHARA, Patent Attorney

SPECIFICATION

1. Title of Invention

Semiconductor device

2. Scope of the Patent Claim

A semiconductor device that is characterized by the gate oxide films of MOSFETs that comprise the input/output circuits that are connected to the pad on a semiconductor substrate being formed so that they are thicker than the gate oxide films of other MOSFETs on the aforementioned substrate.

3. Detailed Description of the Invention

[Field of Industrial Application]

This invention pertains to a semiconductor device, and specifically to a semiconductor device that is provided with a means of countering the electrostatic breakdown of MOSFETs.

[Prior Art]

Operating speeds of semiconductor integrated circuits have been increasing in recent years parallel with increases in their capacity. Thus, due to the necessity to increase charging and discharging capacities in order to accommodate these increases in speed, gate oxide films have been getting thinner and thinner. However, generally, as gate oxide films get thinner, they also become more susceptible to electrostatic breakdown. Therefore, in the past, input protective circuits 9, which use this type of metal oxide semiconductor (MOS) field effect transistors (FET), like that shown in Figure 3, came to be used as a countermeasure to electrostatic breakdown. A polysilicon resistor 1, diffusion layer resistor 2, stray capacitances 3, 4, i.e., diffusion layers, and N-type MOSFETs 5, 6 are shown in Figure 3.

Further include a diode 7 and these components comprise an input protection circuit 9, which is connected to a pad 8. The subsequent first-stage circuit 10 consists of CMOS-FETs 12, 13 and the internal circuit 11 consists of CMOS-FETs 14, 15. The drain of MOSFET 5 is connected to the power potential V and its gate is connected to the ground potential G, while the source and gate of MOSFET 6 are connected to the ground potential G. Resistors 1, 2 and stray capacitances 3, 4 are for suppressing any peak voltage that may occur when a surge voltage, such as static electricity, is input, while the N-type MOSFETs 5, 6 are for shunting the surge voltage load to the power potential V or ground potential G by means of the MOSFET breaking down. Because the input protection circuit suppresses the peak of a surge voltage and provides a path for shunting its load, as described above, to the extent that the gate oxide films become thin, the resistors 1, 2 and stray capacitances 3, 4 must become larger.

[Problem to be Solved by the Invention]

As discussed above, as gate oxide films become thinner in the past example the risk increases for gate breakdown in the MOSFETs of the input

protection circuit 9 and input first-stage circuit 10. And while the electrostatic withstand voltage can be improved by increasing the size of the stray capacitances 3, 4 and resistors 1, 2 in the input protection circuit, this also has problems in that the waveform that is to be input to the input first-stage circuit 10 is clipped by the stray capacitances 3, 4 and resistors 1, 2, deteriorating the response of the input first-stage circuit 10.

The purpose of this invention is to provide a semiconductor device that improves electrostatic withstand voltage, without decreasing the response characteristics of the input first-stage circuit.

[Means of Solving Problems]

The constitution of the semiconductor device of this invention is characterized by the gate oxide films of MOSFETs that comprise the input/output circuits that are connected to the pad on a semiconductor substrate being formed so that they are thicker than the gate oxide films of other MOSFETs on the aforementioned substrate.

[Example Embodiments]

This invention will be explained below, referring to the attached figures.

In Figure 1, this example embodiment differs from the past example given in Figure 3 on the following points: the MOSFETs 5', 6' that comprise the input protection circuit 9 and the MOSFETs 12', 13' that comprise the input first-stage circuit 10 have thicker gate oxide films than those of the MOSFETs 14, 15 that comprise the other internal circuits 11. In Figure 1, the differences in gate oxide thickness are indicated by the different ways of writing [MOSFET]. The ability of the gate oxide films of the MOSFETs that comprise the input protection circuit 9 and the input first-stage circuit 10 in Figure 1 is improved by making them thicker than all other gate oxide films.

Consequently, since the ability of the resistors 1, 2 and stray capacitances 3, 4 in the input protection circuit 9 to withstand static electricity can be maintained without increasing their size, and since the gate oxide films of the other internal circuits 11 can still be made thin,

there is no loss in the speed performance of the internal circuits 11. Of course, thickening of the gate oxide film may be limited to only some of the MOSFETs that comprise the input protection circuit 9 or the input first-stage circuit 10 in Figure 1.

Incidentally, the method for manufacturing some of the gate oxide layers thick and some thin incorporates a method in which the thickness of the gate oxide films used in the internal circuits other than the MOSFETs that comprise the input protection circuit 9 or input first-stage circuit 10, i.e., the thin oxide layers, are formed first to the specified thickness by thermal growth, after which a photoresist is applied and the photoresist is removed only in the areas of the MOSFETs that comprise the input protection circuit 9 or input first-stage circuit 10 and gate oxide films are grown thicker by thermal growth only in those areas where the aforementioned photoresist was removed.

Figure 2 is a circuit diagram showing the semiconductor device of another example embodiment of this invention.

In Figure 2, the signal from the internal circuits 20 in this example embodiment is output through output transistors 22, 23 from an output pad 21. The gate oxide films of the MOSFETs 22, 23 that comprise the output transistor connected to the output terminal are made thicker than the gate oxide films of the other internal MOSFETs 24, 25, 26, 27. Consequently, the ability of the output transistor 19 that is connected to the output terminal to withstand gate oxide film breakdown due to static electricity can be improved.

The semiconductor device in the above example embodiment of this invention is novel in that the gate oxide films of MOSFETs that comprise the input protection circuit or input first-stage circuit that is connected to an input terminal, or MOSFETs that comprise the output transistor that is connected to an output terminal, in semiconductor devices that contain MOSFETs formed in a semiconductor substrate are made thicker than those of other internal MOSFETs.

[Effect]

By making the gate oxide films of MOSFETs that comprise the input protection circuit or input first-stage circuit, or the output transistor,

which are connected to the input terminal and output terminal thicker than those of other internal MOSFETs, as described above, this invention has the effect of being able to maintain an electrostatic withstand voltage, without increasing their resistance or capacitance, etc.

Of course, this invention is also able to maintain the high speed of the other internal circuits since their gate oxide films are kept thin.

4. Brief Explanation of the Figures

Figure 1 is a circuit diagram of the area around the input protection circuit and input first-stage circuit of an example embodiment of this invention, Figure 2 is a circuit diagram of an output circuit that contains the output transistor of another example embodiment of this invention, and Figure 3 is a circuit diagram of the area around a conventional input protection circuit and input first-stage circuit.

5, 5', 6, 6', 13, 13', 15, 25, 27 ... N-type MOSFET, 12, 12', 14, 24, 26 ... P-type MOSFET, V ... power potential, G ... ground potential, 3, 4 ... stray capacitances, 7 ... diode, 8 ... input pad, 21 ... output pad, 1 ... polysilicon resistor, 2 ... diffusion layer resistor.

Agent Susumu UCHIHARA, Patent Attorney

[Fig. 1]

9 Input protection circuit
10 Input first-stage circuit
11 Internal circuits

[Fig. 2]

19 Output transistor
20 Internal circuits

[Fig. 3]

9 Input protection circuit
10 Input first-stage circuit
11 Internal circuits